

◆ Japanese Patent Application Laid-Open No. 2001-189389(2001):

**“SEMICONDUCTOR MEMORY DEVICE AND A MANUFACTURING METHOD THEREOF”**

The following is a brief description of the invention disclosed in this publication.

**[Abstract]**

**[Problem to be solved]** To obtain a SRAM memory cell comprising a load element that adopts a salicidation technology and polysilicon as a substrate, and being capable of high speed operation by reducing a node contact resistance.

**[Solution]** A gate electrode 104ab for a driving transistor and a connection hole 109a reaching an N-type diffusion layer 106b are formed in an interlayer film 108 covering a memory cell. A silicide layer 110 is selectively formed by performing silicidation and by growing polysilicon thereon a high resistance load is formed. The N-type diffusion layer 106ba, the gate electrode 104ab and a heavily-doped polysilicon region 111aa of the high resistance load are connected with one another by the silicide layer 110 so that a node contact resistance can be reduced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-189389

(P2001-189389A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/8244  
27/11

識別記号

F I

H 0 1 L 27/10

テーマコード(参考)

3 8 1

審査請求 有 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願2000-390526(P2000-390526)  
(62) 分割の表示 特願平9-43423の分割  
(22) 出願日 平成9年2月27日(1997.2.27)

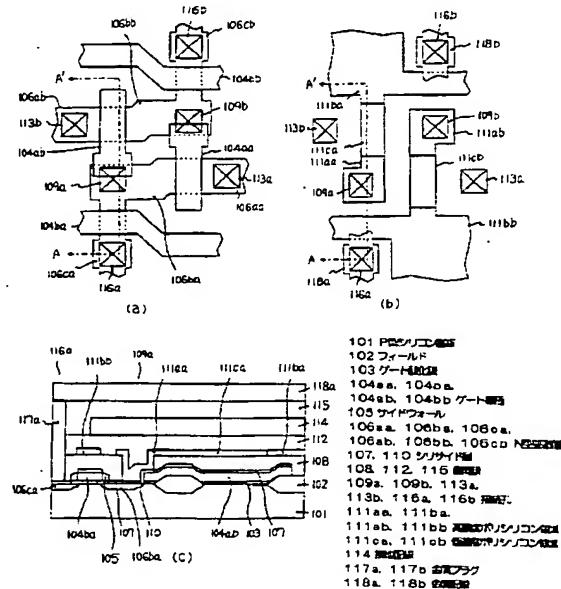
(71) 出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(72) 発明者 林 文彦  
東京都港区芝五丁目7番1号 日本電気株式会社内  
(74) 代理人 100082935  
弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 サリサイデーション技術及びポリシリコンを基体とする負荷素子を有するSRAMメモリセルにおいて、ノード・コンタクト抵抗を低減し、高速動作を可能とするメモリセルを実現する。

【解決手段】 メモリセルを覆う層間膜108に、駆動用トランジスタのゲート電極104abと、N型拡散層106bに達する接続孔109aを形成し、シリサイデーションを行って選択的にシリサイド層110を形成し、その上にポリシリコンを成長して高抵抗負荷を形成する。N型拡散層106ba、ゲート電極104ab、高抵抗負荷の高濃度ポリシリコン領域111aaとはシリサイド層110によって互いに接続するため、ノード・コンタクト抵抗は低く抑えられる。



## 【特許請求の範囲】

【請求項 1】 スタティックランダムアクセスメモリの構造を有する半導体記憶装置であって、スタティックランダムアクセスメモリセルは、半導体基板の表面部に選択的に形成されたソース・ドレイン領域を有する第 1 の駆動用 MOS トランジスタ及び、第 2 の駆動用 MOS トランジスタと、前記第 1 の駆動用 MOS トランジスタのドレイン領域に接続された第 1 の転送用 MOS トランジスタと、前記第 2 の駆動用 MOS トランジスタのドレイン領域に接続された第 2 の転送用 MOS トランジスタと、第 1 及び第 2 の負荷素子とを含むものであり、前記第 1 及び第 2 の駆動用 MOS トランジスタのソース及びドレイン領域、ゲート電極、前記第 1 及び第 2 の転送用 MOS トランジスタのソース及びドレイン領域、ゲート電極の上面には、選択的に金属シリサイド層が形成されており、前記各トランジスタを覆う前記層間絶縁膜には、第 1 及び第 2 の接続孔が開孔されており、前記第 1 の接続孔は、前記第 1 の駆動用 MOS トランジスタのドレイン領域及び前記第 2 の駆動用 MOS トランジスタのゲート電極上に開孔されており、前記第 2 の接続孔は、前記第 2 の駆動用 MOS トランジスタのドレイン領域及び前記第 1 の駆動用 MOS トランジスタのゲート電極上に開孔されており、前記第 1 の駆動用 N チャンネル MOS トランジスタのドレイン領域と前記第 2 の駆動用 MOS トランジスタのゲート電極とは、前記第 1 の接続孔の内部に選択的に形成された金属シリサイド層によって互いに接続され、その上には前記第 1 の負荷素子の一部となる非単結晶シリコン系薄膜が形成されており、前記第 2 の駆動用 MOS トランジスタのドレイン領域及び前記第 1 の駆動用 MOS トランジスタのゲート電極とは、前記第 2 の接続孔の内部に選択的に形成された金属シリサイド層によって互いに接続され、その上には前記第 2 の負荷素子の一部となる多結晶薄膜が形成されているものであることを特徴とする半導体記憶装置。

【請求項 2】 MOS トランジスタ形成工程と、絶縁膜サイドウォール形成工程と、第 1 の金属シリサイド層形成工程と、接続孔形成工程と、第 2 の金属シリサイド層形成工程と、負荷素子形成工程とを有する半導体記憶装置の製造方法であって、MOS トランジスタ形成工程は、半導体基板の表面部に、第 1 の駆動用 MOS トランジスタと、第 1 の転送用 MOS トランジスタと、第 2 の駆動用 MOS トランジスタと、第 2 の転送用 MOS トランジスタとを形成する処理であり、絶縁膜サイドウォール形成工程は、前記各 MOS トランジスタのゲート電極の側面に絶縁膜サイドウォールを形成する処理であり、第 1 の金属シリサイド層形成工程は、基板全面に第 1 の金属層を形成した後、熱処理により前記ドレイン領域、ソース領域、及びゲート電極の上面に選択的に第 1 の金属シリサイド層を形成する処理であり、接続孔形成工程は、前記第 1 の金属層のうち未反応の層を除去した後、

基板全面に層間絶縁膜を形成し、前記層間絶縁膜を選択的にエッチングして、前記第 1 のドレイン領域及び前記第 3 のゲート電極に達する第 1 の接続孔、前記第 3 のドレイン領域及び前記第 1 のゲート電極に達する第 2 の接続孔を、各接続孔の内部において各ゲート電極の側面に絶縁膜のサイドウォールが残らないように形成する処理であり、第 2 の金属シリサイド層形成工程は、基板全面に第 2 の金属層を形成した後、熱処理により各接続孔の底部において前記ドレイン領域、ゲート電極の上面、及びゲート電極の側面に選択的に第 2 の金属シリサイド層を形成する処理であり、負荷素子形成工程は、前記第 2 の金属層のうち未反応の層を除去した後、基板全面に多結晶薄膜を形成し、前記多結晶薄膜を構成要素とする負荷素子を形成する処理であることを特徴とする半導体記憶装置の製造方法。

【請求項 3】 前記第 2 の金属層のうち未反応の層を除去する工程と、負荷素子形成工程との間に、前記第 2 の金属シリサイド層表面をアンモニアプラズマ中で処理し、窒化させた膜を形成する工程を有することを特徴とする請求項 2 に記載の半導体記憶装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置及びその製造方法に関し、特にスタティックランダムアクセスメモリ（SRAM）セルの構造並びに製造方法に関する。

【0002】

【従来の技術】近年、微細化、高速化が要求される RAM においては、微細な拡散層やゲート電極の抵抗を低下させ、寄生抵抗による動作遅延を低減して高速化を図るため、サリサイデーション技術を適用する方式の研究開発が活発となってきている。この方式は、SRAM とロジック回路を混載したワンチッププロセッサ等において特に重要となる。

【0003】このような方式を実現する従来の技術を図 6、図 7 に基づいて説明する。図 6（a）は、SRAM メモリセルを示す平面図、（b）は同断面図、図 7 は等価回路図である。

【0004】N 型シリコン基板上に P ウェル 301 が設けられており、フィールド 302、ゲート酸化膜 303 が設けられた P ウェル 301 の表面には、第 1 の駆動用 MOS トランジスタ TD1、第 2 の駆動用 MOS トランジスタ TD2、第 1 の転送用 MOS トランジスタ TA1、第 2 の転送用 MOS トランジスタ TA2、第 1 の高抵抗負荷 HR1、第 2 の高抵抗負荷 HR2 が設けられている。トランジスタ TD1 はゲート電極 304 a a、ドレインとなる N 型拡散層 306 b a、ソースとなる N 型拡散層 306 a からなり、トランジスタ TD2 はゲート電極 304 a b、ドレインとなる N 型拡散層 306 b b、ソースとなる N 型拡散層 306 a からなり、トラン

ジスタTA1はゲート電極304b、ドレインとなるN型拡散層306c、ソースとなるN型拡散層306daからなり、トランジスタTA2はゲート電極304b、ドレインとなるN型拡散層306bb、ソースとなるN型拡散層306dbからなる。ゲート電極304bはワード線WLとして用いられ、N型拡散層306aは接地GNDに接続されている。高抵抗負荷HR1は高抵抗ポリシリコン領域304acからなり、ゲート電極304ab及び電源配線304aeに接続している。高抵抗負荷HR2は高抵抗ポリシリコン領域304adからなり、ゲート電極304aa及び電源配線304aeに接続している。電源配線304aeは電源Vccに接続している。N型拡散層306baとゲート電極304abは接続孔309acを介して、またゲート電極304abとN型拡散層306cは接続孔309aaを介してそれぞれ接続しており、第1のノードN1を構成している。N型拡散層306bbとゲート電極304aaは接続孔309abを介して接続し、第2のノードN2を構成している。N型拡散層306daは接続孔309baを介しビット線BL1に接続しており、N型拡散層306dbは接続孔309bbを介しビット線BL2に接続している。ゲート電極304aa、304ab、304b、電源配線304ae、高抵抗ポリシリコン領域304ac、304adとは同一の層で形成されており、高抵抗ポリシリコン領域304ac、304adを除く部分は、選択的に不純物の導入がなされ、低抵抗化されている。さらに高抵抗ポリシリコン領域304ac、304adを除くゲート電極304aa、304ab、304b、電源配線304aeの上面、及び各N型拡散層の上面にはシリサイド層307が例えば50~100nm程度の厚さに形成されている。次に、上記従来技術によるSRAMメモリセルの製造方法を図8に基づいて説明する。

【0005】まず、図8(a)に示されるように、Pウェル301が形成された後、素子分離領域には、選択酸化法等により膜厚600nm前後のフィールド302が形成され、素子形成領域には、熱酸化により20nm前後の膜厚を有するゲート酸化膜303が形成される。

【0006】次にCVD法により膜厚300nm程度のアンドープポリシリコン膜が全面に形成され、その上に高抵抗負荷素子形成領域上を選択的に覆うフォトレジストパターンが形成され、このフォトレジストパターンをマスクにしてリンが例えば30keV 1E15cm<sup>-2</sup>の条件でイオン注入され、フォトレジストパターンが除去された後、フォトリソングによりパターンニングが行われ、ゲート電極304aa、304ab、304b、高抵抗ポリシリコン領域304ac、304ad、電源配線304aeが形成される。続いてリンが例えば10keV 2E13cm<sup>-2</sup>の条件で全面にイオン注入され、150nm程度の酸化膜305がCVD法により全

面に成長する。ここでN<sup>-</sup>領域311が形成される。

【0007】次いで図8(b)に示されるように、酸化膜305上に高抵抗ポリシリコン領域を覆うフォトレジスト(図示せず)が形成され、異方性ドライエッチングにより高抵抗ポリシリコン領域上に酸化膜305のパターンが残ると共に、ゲート電極301aa、304ab、304b、高抵抗ポリシリコン領域304ac、304ad、電源配線304aeの側面に酸化膜305からなるサイドウォールが形成される。

【0008】次に、図8(c)に示されるように、サイドウォールを有するゲート電極304aa、304ab、304b、電源配線304ae及び高抵抗ポリシリコン領域を覆う酸化膜305をマスクとして、ヒ素が例えば30keV 4E15cm<sup>-2</sup>の条件でイオン注入され、N型拡散層306a、306ba、306bb、306c、306da、306dbが形成される。さらに、図8(d)に示されるように、スパッタリング法により膜厚50~60nm程度の高融点金属例えばチタン層が全面に形成され、例えば650℃ 30秒程度の熱処理を行ってチタン層とそれに接するシリコン基板表面及びポリシリコン層表面とが反応し、例えばアンモニア+過酸化水素溶液により未反応のチタン層が除去され、ゲート電極304aa、304ab、304b、電源配線304ae、N型拡散層306a、306ba、306bb、306c、306da、306dbの上に選択的に厚さ100nm程度のシリサイド層307が形成される。次いで、図8(d)に示されるように、760℃ 20秒程度の熱処理が行われ、シリサイド層307が低抵抗化される。

【0009】この後、図8(e)に示されるように、全面に層間絶縁膜308が形成され、この層間膜308上に接続孔309aa、309ab、309ac、309ba、309bbが開孔され、金属電極310を形成して従来技術のSRAMメモリセルが完成する。

【0010】

【発明が解決しようとする課題】上述した従来技術は、4つのMOSTランジスタTD1、TD2、TA1、TA2と同一平面上に高抵抗負荷HR1、HR2を形成しているため、その分だけセル面積が増大し、高集積化に不利となる。

【0011】これを解決し高集積化を図るために、4つのMOSTランジスタTD1、TD2、TA1、TA2の上に高抵抗負荷HR1、HR2を積層しようとする、以下のような不具合が生じることになる。

【0012】すなわち図9に示すように、積層する場合、ノード・コンタクトである接続孔309aa、309abにおいて、高抵抗負荷素子HR1、HR2となる低濃度ポリシリコン領域313に接続する、高濃度ポリシリコン領域312を金属電極310の代わりに用いることになる。

【0013】一般にシリサイド層は耐熱性が低く、高温の熱処理を行うと凝集し、高抵抗となってしまう。従ってシリサイド層形成後の熱処理は、低温かつ短時間のものとする必要がある。このとき高濃度ポリシリコン領域 312 の抵抗は、高濃度不純物を含むといえども著しく上昇し、これによって接続されているゲート電極 304 a b と N 型拡散層 306 c、あるいはゲート電極 304 a a、と N 型拡散層 306 b b との間に高い抵抗が寄生的に生じてしまい、動作速度に著しい遅延を生じてしまう。本発明の目的は、このような不具合を解決し、集積度が高く、かつ高速動作可能な S R A M セルの構造及び製造方法を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体記憶装置は、スタティックランダムアクセスメモリセルの構造を有する半導体記憶装置であって、スタティックランダムアクセスメモリセルは、半導体基板の表面部に選択的に形成されたソース・ドレイン領域を有する第 1 の駆動用 MOS トランジスタ及び、第 2 の駆動用 MOS トランジスタと、前記第 1 の駆動用 MOS トランジスタのドレイン領域に接続された第 1 の転送用 MOS トランジスタと、前記第 2 の駆動用 MOS トランジスタのドレイン領域に接続された第 2 の転送用 MOS トランジスタと、第 1 及び第 2 の負荷素子とを含むものであり、前記第 1 及び第 2 の駆動用 MOS トランジスタのソース及びドレイン領域、ゲート電極、前記第 1 及び第 2 の転送用 MOS トランジスタのソース及びドレイン領域、ゲート電極の上面には、選択的に金属シリサイド層が形成されており、前記各トランジスタを覆う前記層間絶縁膜には、第 1 及び第 2 の接続孔が開孔されており、前記第 1 の接続孔は、前記第 1 の駆動用 MOS トランジスタのドレイン領域及び前記第 2 の駆動用 MOS トランジスタのゲート電極上に開孔されており、前記第 2 の接続孔は、前記第 2 の駆動用 MOS トランジスタのドレイン領域及び前記第 1 の駆動用 MOS トランジスタのゲート電極上に開孔されており、前記第 1 の駆動用 N チャネル MOS トランジスタのドレイン領域と前記第 2 の駆動用 MOS トランジスタのゲート電極とは、前記第 1 の接続孔の内部に選択的に形成された金属シリサイド層によって互いに接続され、その上には前記第 1 の負荷素子の一部となる非単結晶シリコン系薄膜が形成されており、前記第 2 の駆動用 MOS トランジスタのドレイン領域及び前記第 1 の駆動用 MOS トランジスタのゲート電極とは、前記第 2 の接続孔の内部に選択的に形成された金属シリサイド層によって互いに接続され、その上には前記第 2 の負荷素子の一部となる多結晶薄膜が形成されているものである。

【0015】また、本発明に係る半導体記憶装置の製造方法は、MOS トランジスタ形成工程と、絶縁膜サイドウォール形成工程と、第 1 の金属シリサイド層形成工程

と、接続孔形成工程と、第 2 の金属シリサイド層形成工程と、負荷素子形成工程とを有する半導体記憶装置の製造方法であって、MOS トランジスタ形成工程は、半導体基板の表面部に、第 1 の駆動用 MOS トランジスタと、第 1 の転送用 MOS トランジスタと、第 2 の駆動用 MOS トランジスタと、第 2 の転送用 MOS トランジスタとを形成する処理であり、絶縁膜サイドウォール形成工程は、前記各 MOS トランジスタのゲート電極の側面に絶縁膜サイドウォールを形成する処理であり、第 1 の金属シリサイド層形成工程は、基板全面に第 1 の金属層を形成した後、熱処理により前記ドレイン領域、ソース領域、及びゲート電極の上面に選択的に第 1 の金属シリサイド層を形成する処理であり、接続孔形成工程は、前記第 1 の金属層のうち未反応の層を除去した後、基板全面に層間絶縁膜を形成し、前記層間絶縁膜を選択的にエッチングして、前記第 1 のドレイン領域及び前記第 3 のゲート電極に達する第 1 の接続孔、前記第 3 のドレイン領域及び前記第 1 のゲート電極に達する第 2 の接続孔を、各接続孔の内部において各ゲート電極の側面に絶縁膜のサイドウォールが残らないように形成する処理であり、第 2 の金属シリサイド層形成工程は、基板全面に第 2 の金属層を形成した後、熱処理により各接続孔の底部において前記ドレイン領域、ゲート電極の上面、及びゲート電極の側面に選択的に第 2 の金属シリサイド層を形成する処理であり、負荷素子形成工程は、前記第 2 の金属層のうち未反応の層を除去した後、基板全面に多結晶薄膜を形成し、前記多結晶薄膜を構成要素とする負荷素子を形成する処理である。

【0016】また、前記第 2 の金属層のうち未反応の層を除去する工程と、負荷素子形成工程との間に、前記第 2 の金属シリサイド層表面をアンモニアプラズマ中で処理し、窒化させた膜を形成する工程を有する。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0018】（実施形態 1）図 1 (a)、(b) は、本発明の実施形態 1 に係る負荷素子に高抵抗負荷を用いた S R A M メモリセルを示す平面図、図 1 (c) は、図 1 (a) 及び (b) の A-A' 線断面図である。図 7 は、S R A M メモリセルの等価回路図である。

【0019】図において本発明の実施形態 1 に係る S R A M メモリセルの構造は次のようになっている。すなわち、P 型シリコン基板 101 には、素子分離領域及び素子形成領域にそれぞれ選択酸化等による 400 nm 前後の膜厚を有するフィールド 102、及び熱酸化等による 10 nm 前後の膜厚を有するゲート酸化膜 103 が設けられ、P 型シリコン基板 101 は、 $10^{16} \sim 10^{18} \text{ cm}^{-3}$  程度の不純物濃度を有しており、シリコン基板 101 表面には、第 1、第 2 の駆動用 MOS トランジスタ T D 1、T D 2 と、第 1、第 2 の転送用 MOS トランジスタ

TA1、TA2とが設けられている。

【0020】ゲート酸化膜103を介して半導体基板101表面上には、酸化膜からなる幅100nm程度のサイドウォール105を有するゲート電極104aa、104ba、104ab、104bbが設けられている。ゲート電極104aa等は、300nm程度の膜厚のN型ポリシリコン膜からなる。P型シリコン基板101表面の素子形成領域には、フィールド102、ゲート電極104aa等、サイドウォール105に対し自己整合的に、N型拡散層106aa、106ba、106ca、106ab、106bb、106cdが形成されている。これらのN型拡散層106aa等の不純物濃度は $10^{20} \sim 10^{21} \text{ cm}^{-3}$ 程度である。

【0021】第1の駆動用MOSトランジスタTD1は、ゲート電極104aaと、ゲート酸化膜103と、第1のソース領域であるN型拡散層106aaと、第1のドレイン領域であるN型拡散層106baとから構成されている。第1の転送用MOSトランジスタTA1は、ゲート電極104baと、ゲート酸化膜103と、第2のソース領域であるN型拡散層106caと、第2のドレイン領域であり、第1のドレイン領域でもあるN型拡散層106baとから構成されている。第2の駆動用MOSトランジスタTD2は、ゲート電極104abと、第3のソース領域であるN型拡散層106abと、第3のドレイン領域であるN型拡散層106bbとから構成されている。第2の転送用MOSトランジスタTA2は、ゲート電極104bbと、第4のソース領域であるN型拡散層106cbと、第4のドレイン領域であり、第3のドレイン領域でもあるN型拡散層106bbとから構成されている。ワード線WLを兼ねるゲート電極104ba、104bbは、メモリセルの外部において接続されている。ゲート電極104aa等及びN型拡散層106aa等の表面は、選択的に形成されたシリサイド層107によって覆われており、ゲート電極と、それに隣接したN型拡散層とはサイドウォール105によって絶縁されている。

【0022】これら4つのNチャネルMOSトランジスタは、平坦な表面を有し、少なくとも底面及び上面がアンドープ酸化膜からなる層間膜108により覆われている。この層間膜は、例えば、膜厚100nm程度の酸化膜を下層に有し、BPSG膜を中間層に有し膜厚100nm程度の酸化膜を上層に有する積層膜からなる。層間膜108の膜厚は、最も薄い部分で200nm、最も厚い部分で600nm程度である。この層間膜108には、ゲート電極104ab及びN型拡散層106baに達する第1のノード・コンタクトである接続孔109a、及びゲート電極104aa及びN型拡散層106bに達する第2のノード・コンタクトである接続孔109bが設けられている。

【0023】接続孔109a、109bの底部には、接

続孔109a、109bの内部において、ゲート電極104ba、104aaの上面及び側面、N型拡散層106ba、106bbの上面に選択的に形成されたシリサイド層110が設けられている。

【0024】シリサイド層110を含めて層間膜108の表面上には、膜厚50～100nm程度のポリシリコン膜からなる第1、第2のポリシリコンパターンが設けられている。第1のポリシリコンパターンは、高濃度ポリシリコン領域111aa、111ba、低濃度ポリシリコン領域111caからなり、第2のポリシリコンパターンは、高濃度ポリシリコン領域111ab、111bb、低濃度ポリシリコン領域111cdからなる。高濃度ポリシリコン領域111aa、111ba、111ab、111bbの不純物濃度は $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 程度、低濃度ポリシリコン領域111ca、111cdの不純物濃度は $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度である。高濃度ポリシリコン領域111ba及び111bbはそれぞれ電源線の一部をなし、両者はメモリセルの外部で電源Vccに接続されている。高濃度ポリシリコン領域111aaは接続孔109aにおいてシリサイド層110と接続しており、高濃度ポリシリコン領域111abは接続孔109bにおいてシリサイド層110と接続している。低濃度ポリシリコン領域111caは高抵抗負荷HR1の高抵抗部として機能し、低濃度ポリシリコン領域111cbは高抵抗負荷HR2の高抵抗部として機能している。

【0025】高濃度ポリシリコン領域111aa、ゲート電極104ab、N型拡散層106baは接続孔109aにおいてシリサイド層110によって互いに接続し、ノードN1を構成している。また高濃度ポリシリコン領域111ab、ゲート電極104aa、N型拡散層106bbは接続孔109bにおいてシリサイド層110によって互いに接続し、ノードN2を構成している。

【0026】上記高濃度ポリシリコン領域111aa、111ba、111ab、111bb、低濃度ポリシリコン領域111ca、111cdを含めて層間膜108の表面は、平坦な表面を有し、少なくとも底面が酸化膜からなる層間膜112により覆われている。この層間膜112は、例えば膜厚100nm程度の酸化膜を下層に有し、BPSG膜を上層に有する積層膜からなり、高濃度ポリシリコン領域111aa等の上での層間膜112の膜厚は200nm程度である。層間膜112にはそれぞれN型拡散層106aa、106ab上に達する（第1の接地コンタクトである）接続孔113a及び（第2の接地コンタクトである）接続孔113bが設けられている。N型拡散層106aa、106abは、これらの接続孔113a、113bを介して、層間膜112の表面に設けられた接地配線114に接続されている。この接地配線111は、例えば200nm程度の膜厚のタングステン膜からなり、接地GNDに接続されている。

【0027】接地配線114を含めて層間膜112の表面上は、平坦な表面を有する層間膜115によって覆われている。この層間膜115は、例えばプラズマ酸化膜等からなる。接地線114上での層間膜の膜厚は200nm程度である。上記層間膜115、112、108を貫通し、N型拡散層106ca上に達する第1のビットコンタクトである接続孔116aが開孔しており、層間膜115、112、108を貫通し、N型拡散層106cb上に達する第2のビットコンタクトである接続孔116bが開孔している。接続孔117a、117bの内部は例えばタングステン等からなる金属プラグ117a、117bによって満たされている。層間膜115上に設けられた一対のビット線となる金属配線118a (BL1) 及び金属配線118b (BL2) は、接続孔116a及び116bを介して、それぞれN型拡散層106ca、106cdに接続されている。

【0028】次に図2を参照して、本発明の実施形態1に係るSRAMメモリの製造方法を説明する。

【0029】まず図2(a)に示すように、P型シリコン基板101表面の素子分離領域には、選択酸化法等により膜厚400nm前後のフィールド102を形成し、素子形成領域には熱酸化等により10nm前後の膜厚を有するゲート酸化膜103を形成する。次に例えばLPCVD法とイオン注入法により膜厚300nm程度のN型ポリシリコン膜を全面に形成し、異方性ドライエッチングによりパターニングし、ゲート電極104aa、104ba、104ab、104bbを形成する。

【0030】LDD (Lightly Doped Drain) 構造形成のため、フィールド102とゲート電極101aa等をマスクにしたリンあるいはヒ素のイオン注入を $2 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズで行った後、全面に100nm程度の酸化膜を例えばLPCVD法により成長させ、異方性ドライエッチングによりエッチングすることにより、ゲート電極101aa等の側面にサイドウォール105を形成する。このときN型拡散層106aa等とゲート電極104aa等の上面はシリコンが露出した状態となる。続いてフィールド102とゲート電極104aa、104ba、104ab、104bbと、サイドウォール105をマスクにしたヒ素のイオン注入を $5 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズで行うことにより、P型シリコン基板101の表面には $10^{20} \sim 10^{21} \text{ cm}^{-3}$ 程度の濃度を有するN型拡散層106aa、106ba、106ca、106ab、106bb、106cdを形成する。次いで全面にチタン等の金属層を全面にスパッタリング法等により堆積し、700℃以下の急速熱処理により、シリコンと接触する金属層をシリサイド化しシリサイド層107を形成する。アンモニア+過酸化水素溶液等により未反応金属層をエッチングした後、前述の急速熱処理よりも高い温度(800℃以上)の急速熱処理を行い、シリサイド層107の抵抗を低下させ

る。

【0031】次に、例えばLPCVD法及び化学的機械研磨法(CMP)等により、平坦な表面を有し、少なくとも底面と上面が酸化膜からなる層間膜108を全面に形成する。この層間膜108は例えば次のように形成する。常圧CVD法等により膜厚100nm程度の酸化膜を全面に形成し、続いて常圧CVD法等により膜厚600nm程度のBPSG膜を形成する。例えば800℃程度での熱処理を行った後、CMP等により表面を平坦化する。さらに常圧CVD法等により膜厚100nm程度の酸化膜を全面に形成する。

【0032】次に図2(b)に示すように、層間膜108には、異方性ドライエッチングにより、N型拡散層106ba及びゲート電極104abに達する接続孔109a、N型拡散層106bb及びゲート電極104aaに達する接続孔109bを形成する。ここで接続孔109a等の内部においてゲート電極104ab等の側面にサイドウォールが残らないようにオーバーエッチングを行う。実施形態1ではN型拡散層上、ゲート電極上のシリサイド層107がエッチングにより除去されているように図示しているが、酸化膜/シリサイドのエッチング選択比が高いエッチングにより、シリサイド層107でエッチングがストップするようにしてもよい。続いて、図2(c)に示すように、全面にチタン等の金属層を全面にスパッタリング法等により堆積し、700℃以下の急速熱処理により、シリコンと接触する金属層をシリサイド化し、接続孔109a内部においてN型拡散層106baの上面、ゲート電極104abの上面及び側面にシリサイド層110を形成する。アンモニア+過酸化水素溶液等により未反応金属層をエッチングした後、前述の急速熱処理よりも高い温度(800℃以上)の急速熱処理を行い、シリサイド層110の抵抗を低下させる。次に図2(d)に示すように、シリサイド層110を含めて層間膜108の表面には、全面に50~100nm程度の膜厚を有するポリシリコン層あるいはSIPOS (Semi-Insulating PolySilicon) をLPCVD法等によって形成する。このとき、ポリシリコン層あるいはSIPOSの生長時に成長ガスが分解してできる活性なシリコンとシリサイド層が反応するのを防ぐため、アンモニアプラズマ中で処理を行い、シリサイド層110の表面に窒化物を形成してもよい。抵抗値を高めるためN型不純物をイオン注入法等により $1 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズで導入し、さらに異方性ドライエッチングによりパターニングすることで、低濃度ポリシリコン領域111を形成する。

【0033】そして、図2(e)に示すように、フォトリソレジスト119をマスクとして、リンまたはヒ素イオンを $1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズで注入し、高濃度ポリシリコン領域111aa、111ba、111ab、111bbを形成すると共に、フォトリソレジスト119で覆わ

れた領域に低濃度ポリシリコン領域111ca、111cbを残置する。

【0034】続いて、例えば常圧CVD法及びCMP等により、平坦な表面を有し、少なくとも底面が酸化膜からなる層間膜112を全面に形成する。この層間膜112は例えば次のように形成する。常圧CVD法等により膜厚100nm程度の酸化膜を全面に形成し、続いて常圧CVD法等により膜厚600nm程度のBPSG膜を形成する。例えば800℃程度での熱処理を行った後、CMP等により表面を平坦化する。

【0035】続いて異方性ドライエッチングによりN型拡散層106aa、106abに達する接続孔113a、113bを形成する。この後は公知の配線プロセスを用い、接地配線114、層間膜115、接続孔116a、116b、金属プラグ117a、117b、金属配線118a、118bを形成し、本実施形態1のSRAMメモリセルを完成させる。

【0036】このような構造、製造方法によれば、熱処理を低温、短時間としたプロセスにおいてもノード・コンタクト部における寄生抵抗の小さい抵抗負荷型SRAMメモリセルを実現することができる。

【0037】(実施形態2)図3(a)、(b)は、本発明の実施形態2に係るポリシリコンを基体とする薄膜トランジスタ(TFT)を負荷として有するSRAMメモリセルを示す平面図、図3(c)は、図3(a)及び(b)のA-A'線断面図、図4は、SRAMメモリセルの等価回路図である。

【0038】図において、本発明の実施形態2に係るSRAMメモリセルの構造は次のようになっている。すなわち、P型シリコン基板201は、 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度を有し、素子分離領域及び素子形成領域にそれぞれ選択酸化等による400nm前後の膜厚を有するフィールド202、及び熱酸化等による10nm前後の膜厚を有するゲート酸化膜203が設けられ、P型シリコン基板201表面には、第1、第2の駆動用MOSトランジスタTD1、TD2と、第1、第2の転送用MOSトランジスタTA1、TA2とが設けられている。ゲート酸化膜203を介して半導体基板201表面上には、酸化膜からなる幅100nm程度のサイドウォール205を有するゲート電極204aa、204ab、204ab、204bbが設けられている。ゲート電極204aa等は、300nm程度の膜厚のN型ポリシリコン膜からなる。P型シリコン基板201表面の素子形成領域には、フィールド202、ゲート電極204aa等、サイドウォール205に対し自己整合的に、N型拡散層206aa、206ba、206ca、206ab、206bb、206cbが形成されている。これらのN型拡散層206aa等の不純物濃度は $10^{20} \sim 10^{21} \text{ cm}^{-3}$ 程度である。ゲート電極204aaと、ゲート酸化膜203と、第1のソース領域であるN型拡散層

206aaと、第1のドレイン領域であるN型拡散層206baとから、第1の駆動用MOSトランジスタTD1が構成されている。ゲート電極204baと、ゲート酸化膜203と、第2のソース領域であるN型拡散層206caと、第2のドレイン領域で、かつ第1のドレイン領域でもあるN型拡散層206baとから、第1の転送用MOSトランジスタTA1が構成されている。ゲート電極204abと、第3のソース領域であるN型拡散層206abと、第3のドレイン領域であるN型拡散層206bbとから、第2の駆動用MOSトランジスタTD2が構成されている。ゲート電極204bbと、第4のソース領域であるN型拡散層206cbと、第4のドレイン領域で、かつ第3のドレイン領域でもあるN型拡散層206bbとから、第2の転送用MOSトランジスタTA2が構成されている。ワード線WLを兼ねるゲート電極204ba、204bbは、メモリセルの外部において接続されている。ゲート電極204aa等及びN型拡散層206aa等の表面は、選択的に形成されたシリサイド層207によって覆われており、ゲート電極と、それに隣接したN型拡散層とはサイドウォール205によって絶縁されている。

【0039】これら4つのNチャネルMOSトランジスタは、平坦な表面を有し、少なくとも底面及び上面がアンドープ酸化膜からなる層間膜208により覆われている。この層間膜は、例えば、膜厚100nm程度の酸化膜を下層に有し、BPSG膜を中間層に有し膜厚100nm程度の酸化膜を上層に有する積層膜からなる。層間膜208の膜厚は、最も薄い部分で200nm、最も厚い部分で600nm程度である。この層間膜208には、ゲート電極204ab及びN型拡散層206baに達する第1のノード・コンタクトである接続孔209a、及びゲート電極204aa及びN型拡散層206bbに達する第2のノード・コンタクトである接続孔209bが設けられている。この接続孔209a、209bの底部には、接続孔209a、209bの内部において、ゲート電極204ba、204aaの上面及び側面、N型拡散層206ba、206bbの上面に選択的に形成されたシリサイド層210が設けられている。シリサイド層210を含めて層間膜208の表面上には、膜厚50～100nm程度のポリシリコン膜からなるTFTのゲート電極211a、211bが設けられている。TFTのゲート電極211aは接続孔209bによりシリサイド層210と接続しており、TFTのゲート電極211bは接続孔209aによりシリサイド層210と接続している。TFTのゲート電極211a、211bを含む層間膜208の表面には5～20nm程度のTFTのゲート酸化膜212が形成されており、このTFTのゲート酸化膜212には、概ね接続孔209aの直上に接続孔213aが開孔されており、概ね接続孔209bの直上に接続孔213bが開孔されている。接続



孔213a、213bを含めてTFTのゲート酸化膜212の表面上には、膜厚10~100nm程度のポリシリコン膜からなる第1、第2のポリシリコンパターンが設けられている。第1のポリシリコンパターンは、第1のP型のドレイン領域である高濃度P型ポリシリコン領域214aa、第1のP型のソース領域である高濃度P型ポリシリコン領域214ba、第1のチャネル領域である低濃度ポリシリコン領域214caからなり、第2のポリシリコンパターンは、第2のP型のドレイン領域である高濃度P型ポリシリコン領域214ab、第2のP型のソース領域である高濃度P型ポリシリコン領域214bb、第2のチャネル領域である低濃度ポリシリコン領域214cbからなる。高濃度ポリシリコン領域214aa、214ba、214ab、214bbの不純物濃度は $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 程度、低濃度ポリシリコン領域214ca、214cdの不純物濃度は $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度である。なおTFTのリーク電流を低減するため、高濃度P型ポリシリコン領域214aa、214abと、低濃度ポリシリコン領域214ca、214cbとの間に、低濃度P型ポリシリコン領域を設けてもよい。高濃度P型ポリシリコン領域214ba及び214bbはそれぞれ電源線の一部をなし、両者はメモリセルの外部で電源Vccに接続されている。高濃度P型ポリシリコン領域214aaは接続孔213aにおいてTFTのゲート電極211bと接続しており、高濃度P型ポリシリコン領域214abは接続孔209bにおいてTFTのゲート電極211aと接続している。TFTのゲート電極211a、TFTのゲート酸化膜212、高濃度P型ポリシリコン領域214aa、214ba、低濃度ポリシリコン領域214caは負荷用TFT TL1を構成し、TFTのゲート電極211b、TFTのゲート酸化膜212、高濃度P型ポリシリコン領域214ab、214bb、低濃度ポリシリコン領域214cbは負荷用TFT TL2を構成している。高濃度P型ポリシリコン領域214aaとTFTのゲート電極211bは接続孔213aを介して接続し、TFTのゲート電極211b、ゲート電極204ab、N型拡散層206baは接続孔209aにおいてシリサイド層210によって互いに接続して、ノードN1を構成している。また高濃度P型ポリシリコン領域214abとTFTのゲート電極211aは接続孔213bを介して接続し、TFTのゲート電極211a、ゲート電極204aa、N型拡散層206bbは接続孔209bにおいてシリサイド層210によって互いに接続して、ノードN2を構成している。上記高濃度ポリシリコン領域214aa、214ba、214ab、214bb、低濃度ポリシリコン領域214ca、214cbを含めてTFTのゲート酸化膜212の表面は、平坦な表面を有し、少なくとも底面が酸化膜からなる層間膜215により覆われている。この層間膜215は、例えば膜厚100nm程

度の酸化膜を下層に有し、BPSG膜を上層に有する積層膜からなり、高濃度ポリシリコン領域214aa等の上での層間膜215の膜厚は200nm程度である。層間膜215にはそれぞれN型拡散層206aa、206ab上に達する第1の接地コンタクトである接続孔216a及び第2の接地コンタクトである接続孔216bが設けられている。N型拡散層206aa、206abはこれらの接続孔216a、216bを介して、層間膜215の表面に設けられた接地配線217に接続されている。この接地配線217は、例えば200nm程度の膜厚のタングステン膜からなり、接地GNDに接続されている。

【0040】接地配線217を含めて層間膜215の表面上は、平坦な表面を有する層間膜218によって覆われている。この層間膜218は、例えばプラズマ酸化膜等からなる。接地線217上での層間膜の膜厚は200nm程度である。

【0041】上記層間膜218、215、TFTのゲート酸化膜212、層間膜208を貫通し、N型拡散層206ca上に達する第1のビットコンタクトである接続孔219aが開孔しており、層間膜218、215、TFTのゲート酸化膜212、層間膜208を貫通し、N型拡散層206cb上に達する第2のビットコンタクトである接続孔219bが開孔している。接続孔219a、219bの内部は例えばタングステン等からなる金属プラグ220a、220bによって満たされている。層間膜218上に設けられた一対のビット線となる金属配線221a(BL1)及び金属配線221b(BL2)は、接続孔219a及び219bを介して、それぞれN型拡散層206ca、206cbに接続されている。図5を参照して本発明の実施形態2に係るSRAMメモリセルの製造方法を説明する。

【0042】まず図5(a)に示すように、P型シリコン基板201表面の素子分離領域には、選択酸化等により膜厚400nm前後のフィールド202を形成し、素子形成領域には熱酸化等により10nm前後の膜厚を有するゲート酸化膜203を形成する。次に例えばLPCVD法とイオン注入法により膜厚300nm程度のN型ポリシリコン膜を全面に形成し、異方性ドライエッチングによりパターニングされ、ゲート電極204aa、204ba、204ab、204bbを形成する。

【0043】LDD(Lightly Doped Drain)構造形成のため、フィールド202とゲート電極204aa等をマスクにしたリンあるいはヒ素のイオン注入を $2 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズで行った後、全面に100nm程度の酸化膜を例えばLPCVD法により成長し、異方性ドライエッチングによりエッチングすることにより、ゲート電極204aa等の側面にサイドウォール205を形成する。このときN型拡散層206aa等とゲート電極204aa等の上面はシリコンが露

出した状態となる。続いてフィールド202とゲート電極204aa、204ba、204ab、204bbとサイドウォール205をマスクにしたヒ素のイオン注入を $5 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズで行うことにより、P型シリコン基板201の表面には $10^{20} \sim 10^{21} \text{ cm}^{-3}$ 程度の濃度を有するN型拡散層206aa、206ba、206ca、206ab、206bb、206cbを形成する。次いで全面にチタン等の金属層を全面にスパッタリング法等により堆積し、700℃以下の急速熱処理により、シリコンと接触する金属層をシリサイド化しシリサイド層207を形成する。アンモニア+過酸化水素溶液等により未反応金属層をエッチングした後、前述の急速熱処理よりも高い温度(800℃以上)の急速熱処理を行い、シリサイド層207の抵抗を低下させる。

【0044】次に、例えばLPCVD法及び化学的機械研磨法(CMP)等により、平坦な表面を有し、少なくとも底面と上面が酸化膜からなる層間膜208を全面に形成する。この層間膜208は例えば次のように形成する。常圧CVD法等により膜厚100nm程度の酸化膜を全面に形成し、続いて常圧CVD法等により膜厚600nm程度のBPSG膜を形成する。例えば800℃程度での熱処理を行った後、CMP等により表面を平坦化する。さらに常圧CVD法等により膜厚100nm程度の酸化膜を全面に形成する。

【0045】層間膜208には、異方性ドライエッチングにより、N型拡散層206ba及びゲート電極204abに達する接続孔209a、N型拡散層206bb及びゲート電極204aaに達する接続孔209bを形成する。ここで接続孔209a等の内部においてゲート電極204ab等の側面にサイドウォールが残らないようにオーバーエッチングを行う。N型拡散層上、ゲート電極上のシリサイド層207はエッチングにより除去されてもよいし、酸化膜/シリサイドのエッチング選択比が高いエッチングによりシリサイド層207でエッチングがストップするようにしてもよい。続いて全面にチタン等の金属層を全面にスパッタリング法等により堆積し、700℃以下の急速熱処理により、シリコンと接触する金属層をシリサイド化し、接続孔209a内部においてN型拡散層206baの上面、ゲート電極204abの上面及び側面にシリサイド層210を形成する。アンモニア+過酸化水素溶液等により未反応金属層をエッチングした後、前述の急速熱処理よりも高い温度(800℃以上)の急速熱処理を行い、シリサイド層210の抵抗を低下させる。次に図5(b)に示すように、シリサイド層210を含めて層間膜208の表面には、全面に50~100nm程度の膜厚を有するポリシリコン層をLPCVD法等によって形成する。このとき、ポリシリコン層の成長時に成長ガスが分解してできる活性なシリコンとシリサイド層が反応するのを防ぐため、アンモニアプラズマ中で処理を行い、シリサイド層210の表面に

窒化物を形成してもよい。N型不純物がイオン注入法等により $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズで導入され、さらに異方性ドライエッチングによりパターニングされることで、TFTのゲート電極211a、211bを形成する。

【0046】次いで全面にLPCVD法により厚さ5~20nmのTFTのゲート酸化膜212を形成し、異方性ドライエッチングによりTFTのゲート酸化膜212にTFTのゲート電極211bに達する接続孔213a、TFTのゲート電極211aに達する接続孔213bを開孔する。

【0047】次に図5(c)に示すように、全面にLPCVD法により10~100nmのアモルファスシリコンを成長、600℃程度の温度で結晶化し、ポリシリコン膜とした後、 $1 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ のドーズでN型不純物をイオン注入し、異方性ドライエッチングによりパターニングし、低濃度ポリシリコン領域214a、214bを形成する。

【0048】そして図5(d)に示すように、フォトレジスト222をマスクとして、ボロンまたはBF<sub>2</sub>イオンが $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズで注入され、高濃度P型ポリシリコン領域214aa、214ba、214ab、214bbを形成すると共に、フォトレジスト222で覆われた領域に低濃度ポリシリコン領域214ca、214cbを残置する。その後は実施形態1と同様にして層間膜215、接続孔216a、216b、接地配線217、層間膜218、接続孔219a、219b、金属プラグ220a、220b、金属配線221a、222bを形成し、本実施形態2のSRAMメモリセルを完成させる。

【0049】このような構造、製造方法によれば、熱処理を低温、短時間としたプロセスにおいてもノード・コンタクト部における寄生抵抗の小さいTFT負荷型SRAMメモリセルを実現することができる。

【0050】なお、実施形態1、2ではTFTのゲート電極がTFTのチャネル領域よりも下部にある下部ゲート型について示したが、TFTのゲート電極がTFTのチャネル領域の上部にある上部ゲート型についても適用可能である。

【0051】

【発明の効果】以上説明したように本発明によれば、ノード・コンタクト内部に選択的に形成されたシリサイド層により、駆動用MOSトランジスタのゲート電極とN型拡散層を接続するようにし、その上に抵抗素子またはTFT素子を形成するようにしているので、小メモリセル面積が実現でき、シリサイドエッチングプロセスに対応した、熱処理を低温、短時間としたプロセスを採用しても、ゲート-拡散層間の寄生抵抗を低減し、高速動作を可能とするメモリセルを実現することができる。

【0052】事実、従来のメモリセルでは最低抵抗素子

の長さ分だけセル面積が増大するのに対し、本発明によればそのようなオーバーヘッドがないため、セル面積が30%程度縮小できる。また、従来の技術に比べ本発明ではゲート-拡散層間寄生抵抗を2桁以上低減できるので、RC遅延は2桁以上改善される。

【図面の簡単な説明】

【図1】(a)、(b)は、本発明の実施形態1を示す平面図、(c)は、(a)及び(b)のA-A'線断面図である。

【図2】本発明の実施形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】(a)、(b)は、本発明の実施形態2を示す平面図、(c)は、(a)及び(b)のA-A'線断面図である。

【図4】負荷素子としてPチャネルトランジスタを有するSRAMメモリセルの等価回路図である。

【図5】本発明の実施形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】負荷素子として高抵抗負荷を有するSRAMメモリセルの等価回路図である。

【図7】従来の技術の製造方法を示す断面図である。

【図8】従来の技術の問題点を示す断面図である。

【図9】従来例を示す断面図である。

【符号の説明】

101、201 P型シリコン基板  
102、202、302 フィールド103、203、303 ゲート酸化膜  
104aa、104ba、104ab、104bb、204aa、204ba、204ab、204bb、304aa、304ab、304b ゲート電極  
105、205 サイドウォール  
106aa、106ba、106ca、106ab、106bb、106cb、206aa、206ba、206ca、206ab、206bb、206cb、306a、306ba、306bb、306c、306da、306db N型拡散層

107、110、207、210、307 シリサイド層

108、112、115、208、215、218、308 層間膜

109a、109b、113a、113b、116a、116b、209a、209b、213a、213b、216a、216b、219a、219b、309a、309ab、309ba、309bb、309c 接続孔

111aa、111ba、111ab、111bb、312 高濃度ポリシリコン領域

111、111ca、111cd、214a、214a、214ba、214ab、214bb、313 低濃度ポリシリコン領域

114、217 接地配線

117a、117b、220a、220b 金属プラグ  
118a、118b、221a、221b、310 金属配線

119、222 フォトリソグ

20 211a、211b TFTのゲート電極

212 TFTのゲート酸化膜

214aa、214ba、214ab、214bb 高濃度P型ポリシリコン領域

301 Pウェル

305 酸化膜

304ae 電源配線

311 N<sup>-</sup>領域

TD1、TD2 駆動用MOSトランジスタ

TA1、TA2 転送用MOSトランジスタ

30 HR1、HR2 高抵抗負荷

TL1、TL2 負荷用TFT

GND 接地

Vcc 電源

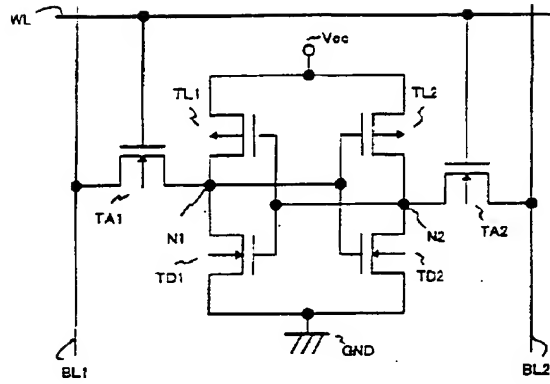
N1、N2 ノード

WL ワード線

BL1、BL2 ビット線

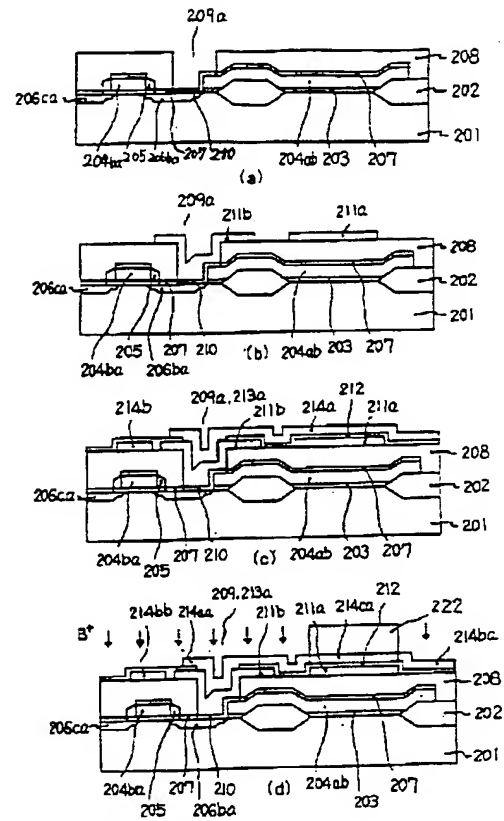


【図4】

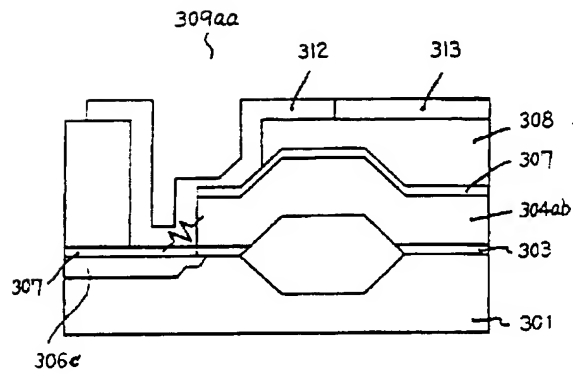


TD1, TD2 駆動用MOSトランジスタ  
 TA1, TA2 読み出し用MOSトランジスタ  
 HR1, HR2 高抵抗負荷  
 TL1, TL2 負荷用TFT  
 GND 接地  
 Vcc 電源  
 N1, N2 ノード  
 WL ワード線  
 BL1, BL2 ビット線

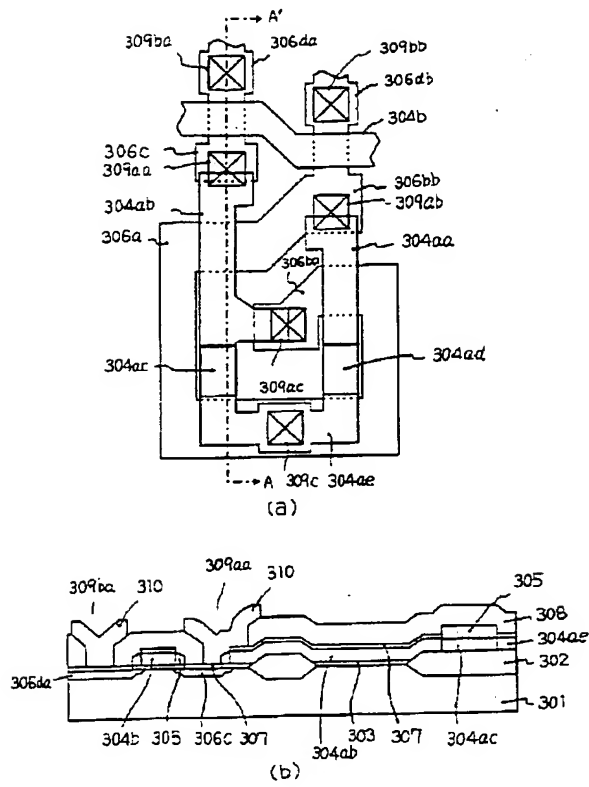
【図5】



【図9】



【図6】



【図8】

